

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

08-241589

(43)Date of publication of application : 17.09.1996

(51)Int.Cl.

G11C 11/407

(21)Application number : 07-044074

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 03.03.1995

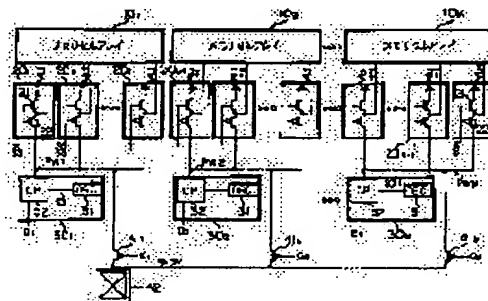
(72)Inventor : SATO SHINICHI
ISHIMURA TAMIHIRO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To detect drop of a potential caused by a leakage current of a word line.

CONSTITUTION: For example, a word line driving circuit selects and connects a node PW1 ND word line WL1 by an output node XD1 of a X decoder. The word line WL1 is boosted by receiving electric charges from a boosting power supply generation circuit 301. On the other hand, a selecting signal C1 is activated by an address, the node PW1 is connected to a pad 411 for measuring. Thereby, the word line WL1 is connected to the pad 411 for measuring selectively, a potential of the word line WL1 is transmitted to the pad 411 for measuring. Drop of a potential of a boosted word line WL1 is measured.



LEGAL STATUS

[Date of request for examination]

30.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-241589

(43) 公開日 平成8年 (1996) 9月17日

(51) Int. Cl. ⁶

G 1 1 C 11/407

識別記号

庁内整理番号

F I

G 1 1 C 11/34

3 5 4

技術表示箇所

F

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願平7-44074

(22) 出願日 平成7年 (1995) 3月3日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 佐藤 眞一

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(72) 発明者 石村 民弘

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

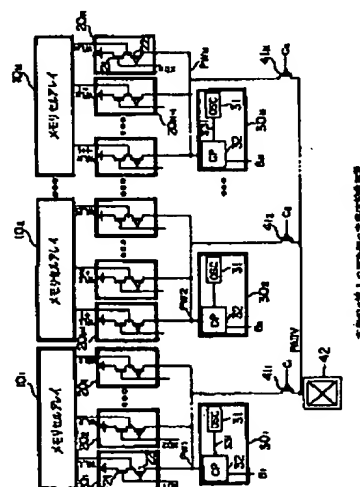
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 ワード線のリーク電流による電位低下を検出する。

【構成】 例えば、Xデコーダの出力ノードXD_iによって、ワード線駆動回路がノードPW_iとワード線WL_iを選択接続する。ワード線WL_iは昇圧電源発生回路30_iからの電荷を受けて昇圧する。一方、アドレスによって選択信号C1が活性化され、ノードPW_iと測定用パッド41_iが接続される。これによって、選択的にワード線WL_iと測定用パッド41_iが接続され、ワード線WL_iの電位が測定用パッド41_iに伝達される。測定用パッド41_iに特性評価装置の探針を当てることで、昇圧したワード線WL_iの電位低下が測定される。



【特許請求の範囲】

【請求項1】 複数の第1の信号線と複数の第2の信号線との交点に接続された複数のメモリセルをそれぞれ有する複数のメモリセルアレイと、

複数のノードのうちの各ノードを介して選択的に前記各メモリセルアレイ内の第1の信号線に対して第1の電位よりも高い第2の電位をそれぞれ供給する複数の電位供給手段と、

前記各ノードにそれぞれ接続され、それらのノードのうちの1つを選択する複数のスイッチ手段と、

前記複数のスイッチ手段に共通接続され、それらのスイッチ手段の1つを介して前記ノードの1つに接続される端子とを、

備えたことを特徴とする半導体記憶装置。

【請求項2】 複数の第1の信号線と複数の第2の信号線との交点に接続された複数のメモリセルをそれぞれ有する複数のメモリセルアレイと、

第1の電位よりも高い第2の電位を供給する電位供給手段と、

前記第1の電位を昇圧して第2の電位を生成し、複数のノードにおける各ノードを介して選択的に前記各メモリセルアレイ内の第1の信号線に対して該第2の電位をそれぞれ供給する複数の昇圧手段と、

前記各ノードにそれぞれ接続され、それらのノードのうちの1つを選択する複数のスイッチ手段と、

前記複数のスイッチ手段に共通接続され、それらのスイッチ手段の1つを介して前記ノードの1つに接続される端子とを、

備えたことを特徴とする半導体記憶装置。

【請求項3】 請求項2記載の半導体記憶装置において、

前記電位供給手段は、制御信号に基づき所定の電位のパルスが発生するパルス信号発生回路と、前記パルスの遷移を受けて昇圧される前記第2の電位を供給する昇圧回路とで、構成したことを特徴とする半導体記憶装置。

【請求項4】 複数の第1の信号線と複数の第2の信号線との交点に接続された複数のメモリセルをそれぞれ有する複数のメモリセルアレイと、

複数のノードにおける各ノードを介して選択的に前記各メモリセルアレイ内の第1の信号線に対して第1の電位よりも高い第2の電位をそれぞれ供給する1つまたは複数の電位供給手段と、

前記各ノードにそれぞれ接続され、それらのノードのうちの1つを選択する複数の第1のスイッチ手段と、

制御信号によりオン、オフ動作する第2のスイッチ手段と、

前記第1及び第2のスイッチ手段を介して前記選択された1つのノードの電位に基づき、前記第1の信号線のリーク電流に対応した電位を生成する電位可変手段と、

前記電位可変手段で生成された電位を出力する端子と

を、
備えたことを特徴とする半導体記憶装置。

【請求項5】 請求項1、2、3または4記載の半導体記憶装置において、

前記第1の信号線はワード線、前記第2の信号線はビット線、及び前記第1の電位は電源電位でそれぞれ構成したことを特徴とする半導体記憶装置。

【請求項6】 請求項1、2、3または4記載の半導体記憶装置において、

10 前記端子は測定用パッドで構成したことを特徴とする半導体記憶装置。

【請求項7】 請求項4記載の半導体記憶装置において、

前記端子は、データ出力パッドで構成したことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ダイナミックRAM等の半導体記憶装置に関するものである。

20 【0002】

【従来の技術】 従来のダイナミックRAM等の半導体記憶装置は、例えば、複数のワード線及び複数のビット線の各交点に配置された複数のメモリセルをそれぞれ有する複数のメモリセルアレイと、複数の昇圧電源発生回路と、複数のワード線駆動回路と、制御回路等の他の回路とで、構成されている。各メモリセルはキャパシタをそれぞれ有し、それらのキャパシタが、例えばNチャネル型MOSトランジスタ（以下、NMOSという）を介してビット線にそれぞれ接続されている。その各NMOSのゲートには、ワード線がそれぞれ接続されている。各昇圧電源発生回路は、昇圧電位 $V_{CC} + V_{tn} + \alpha$ （ただし、 V_{CC} は電源電位、 V_{tn} は前記NMOSの閾値、 $\alpha > 0$ である）を周期的にそれぞれ発生する回路である。

30 【0003】 選択した“0”の情報をもつメモリセルに情報の“1”を書込む場合、アドレスによって選択された昇圧電源発生回路は、昇圧ノードに電荷を供給し、その昇圧ノードの電位が昇圧される。この昇圧電位がXアドレスによって選択されたワード線に与えられ、前記NMOSがオンして、ビット線からキャパシタに電荷が流入する。これによって、ビット線対間に微小電位差 ΔV が発生する。電位差 ΔV がセンスラッチ回路で増幅され、ビット線のレベルは接地電位 V_{SS} に遷移する。その後、ビット線はデータバスから電荷を受取り、このビット線のレベルが“1”の情報を示す V_{CC} となる。そのため、メモリセル内のキャパシタとNMOS間のストレージノード（記憶ノード）には、ビット線からの電荷が流れ込み、“1”の情報が書込まれる。ここで、ワード線にリーク電流が発生してそのワード線の電位が $V_{CC} + V_{tn}$ よりも下がってしまうと、ストレージノードに
50 は“1”の情報の電位 V_{CC} が書込めなくなる。次にス

3.

トレージノードに書込まれた“1”の情報を読出す場合、十分な微小電圧 ΔV が得られず、センスラッチ回路が動作しない場合がある。或いは動作をしても、情報がラッチされるまでに時間がかかる。そこで、リーク電流によるワード線の電位低下をリカバリするために、各昇圧電源発生回路は昇圧動作を周期的に行い、そのワード線に電荷をそれぞれ供給している。

【0004】

【発明が解決しようとする課題】しかしながら、従来の半導体記憶装置では、次のような課題があった。図2は、メモリセルを示す断面図である。このメモリセルでは、基準電位となるセルプレート1とストレージノード2との間に、キャパシタ3が形成されている。キャパシタ3は、ゲート4に入力されたワード線WLのレベルでオンまたはオフ状態となるNMOSを介して、ビット線BLに接続される構造となっている。即ち、NMOSのソース5がストレージノードに接続され、ドレイン6がビット線BLに接続されている。ワード線WLにリーク電流が発生し、該リーク電流が昇圧電源発生回路からの電荷のリカバリ量よりも多いとき、そのワード線WLのレベルは、電位 $V_{CC} + V_{tn}$ よりも低下する。この場合、キャパシタ3に電源電位 V_{CC} での電荷蓄積ができなくなる。リーク電流には、メモリセルアレイにおけるワード線WLがセルプレート1やビット線BLと高抵抗でショートして発生する場合や、ワード線WLが接続される昇圧電源発生回路等で発生する場合等がある。リーク電流が発生した場合、初期段階で不良箇所を冗長回路或いはスペアセルに置換しなければならないが、従来技術では各ワード線WLにおける微小なリーク電流による電圧低下を検出する方法がなかったため、その置換が行われていなかった。

【0005】

【課題を解決するための手段】第1の発明は、上記課題を解決するために、半導体記憶装置において、複数の第1の信号線と複数の第2の信号線との交点に接続された複数のメモリセルをそれぞれ有する複数のメモリセルアレイと、複数のノードのうちの各ノードを介して選択的に前記各メモリセルアレイ内の第1の信号線に対して第1の電位よりも高い第2の電位をそれぞれ供給する複数の電位供給手段と、複数のスイッチ手段と、端子とを備えている。ここで、前記複数のスイッチ手段は、前記各ノードにそれぞれ接続され、それらのノードのうちの1つを選択するものである。また、前記端子は、前記複数のスイッチ手段に共通接続され、それらのスイッチ手段の1つを介して前記ノードの1つに接続される構成となっている。第2の発明は、半導体記憶装置において、複数の第1の信号線と複数の第2の信号線との交点に接続された複数のメモリセルをそれぞれ有する複数のメモリセルアレイと、第2の電位を供給する電位供給手段と、複数の昇圧手段と、複数のスイッチ手段と、端子とを備

4

えている。ここで、前記電位供給手段及び複数の昇圧手段は、前記第1の電位を昇圧して第2の電位を生成し、複数のノードにおける各ノードを介して選択的に前記各メモリセルアレイ内の第1の信号線に対して該第2の電位をそれぞれ供給する機能を有している。前記複数のスイッチ手段は、前記各ノードにそれぞれ接続され、それらのノードのうちの1つを選択するものである。また、前記端子は、前記複数のスイッチ手段に共通接続され、それらのスイッチ手段の1つを介して前記ノードの1つに接続される構成となっている。

【0006】第3の発明は、第2の発明の電位供給手段を、制御信号に基づき所定の電位のパルスを発生するパルス信号発生回路と、前記パルスの遷移を受けて昇圧される前記第2の電位を供給する昇圧回路とで、構成している。第4の発明は、半導体記憶装置において、複数の第1の信号線と複数の第2の信号線との交点に接続された複数のメモリセルをそれぞれ有する複数のメモリセルアレイと、複数のノードにおける各ノードを介して選択的に前記各メモリセルアレイ内の第1の信号線に対して第1の電位よりも高い第2の電位をそれぞれ供給する1つまたは複数の電位供給手段と、複数の第1のスイッチ手段と、第2のスイッチ手段と、電位可変手段と、端子とを備えている。ここで、前記複数の第1のスイッチ手段は、前記各ノードにそれぞれ接続され、それらのノードのうちの1つを選択するものである。前記第2のスイッチ手段は、制御信号によりオン、オフ動作する構成になっている。前記電位可変手段は、前記第1及び第2のスイッチ手段を介して前記選択された1つのノードの電位に基づき、前記第1の信号線のリーク電流に対応した電位を生成する機能を有している。また、前記端子は、前記電位可変手段で生成された電位を出力するものである。第5の発明は、第1、2、3または第4の発明において、前記第1の信号線をワード線、前記第2の信号線をビット線、及び前記第1の電位を電源電位でそれぞれ構成している。第6の発明は、第1、2、3または第4の発明の端子を、測定用パッドで構成している。第7の発明は、第4の発明の端子を、データ出力パッドで構成している。

【0007】

【作用】本発明は、以上のように半導体記憶装置を構成しているため、選択された第1の信号線には、電位供給手段或いは複数の昇圧手段によって各ノードを介して第2の電位が与えられる。この選択された第1の信号線に接続されたノードはスイッチ手段の選択によって端子に接続されるか、或いは、該選択された第1の信号線に接続されたノードは、第1のスイッチ手段の選択と第2のスイッチ手段のオン、オフによって電位可変手段に接続される。端子に接続された場合、選択された第1の信号線の電位がその端子に伝達される。また、電位可変手段に接続された場合、第1の信号線の電位が電位可変手段

に伝達され、その電位に対応した電位が電位可変手段によって生成されて端子に与えられる。端子に例えば特性評価装置の探針を当てることにより、第1の信号線における電位の低下が測定される。従って、前記課題を解決できるのである。

【0008】

【実施例】

第1の実施例

図1は、本発明の第1の実施例を示す半導体記憶装置の概略の構成図である。この半導体記憶装置は、複数のメモリセルアレイ10₁～10_M（Mは整数）を備えている。各メモリセル10_i（mは1からMまでの整数）は、1本の第1の信号線であるワード線をそれぞれ有し、この記憶装置におけるワード線の全本数はN（Nは整数）本となっている。図1中の各ワード線WL_i（nは1からNまでの整数）には、ワード線駆動回路20₁～20_Nがそれぞれ接続されている。各ワード線駆動回路20_iはワード線WL_iを選択駆動する回路であり、図示しないXデコーダの出力ノードXD₁～XD_Nが、それぞれ接続されている。また、各ワード線駆動回路20_iは、各メモリセルアレイ10_iに対応して設けられた複数の昇圧電源発生回路30₁～30_Mの昇圧ノードPW₁～PW_Mにそれぞれ接続されている。各昇圧電源発生回路30_iはメモリセルアレイ10_i中の選択されたワード線WL_iに対する電位供給手段であり、外部から選択信号B₁～B_Mがそれぞれ与えられる構成になっている。各昇圧電源発生回路30_iは、選択信号B₁～B_Mによって選択され、第1の電位である電源電位VCCを昇圧した第2の電位を供給する機能を有している。

【0009】各昇圧ノードPW_iには、該昇圧ノードPW_iを選択する複数のスイッチ手段であるPチャネル型MOSトランジスタ（以下、PMOSという）41₁～41_Mのソースがそれぞれ接続されている。各PMOS41_iのゲートには、アドレスによって指定される選択信号C₁～C_Mが、それぞれ入力される構成になっている。各PMOS41_iのドレインは探針用端子である測定用パッド42に共通接続されている。測定用パッド42はパッシベーション膜等の絶縁膜で被膜されていない金属薄膜で形成され、該測定用パッド42がメモリテスト等の特性評価装置で探針できる程度の大きさを有している。各ワード線駆動回路20_iは、ドレイン同士が接続されたNMOS21とPMOS22をそれぞれ備えている。各NMOS21のソースが接地電位VSSにそれぞれ接続され、各PMOS22のソースがノードPW_iにそれぞれ接続されている。各NMOS21とPMOS22のゲートに出力ノードXD_iがそれぞれ接続され、それらNMOS21とPMOS22のドレインがワード線WL_iにそれぞれ接続されている。各昇圧電源発生回路30_iは、電位VCCと電位VSSとを周期的に振幅する信号S31を発生するパルス信号発生回路（OS

C）31と、昇圧回路（CP）32とを、それぞれ備えている。その昇圧回路32に各選択信号B_iが入力される構成になっている。

【0010】図3は、図1中のメモリセルアレイを示す回路図である。この図3ではメモリセルアレイ10_iを例にとりて示しているが、他のメモリセルアレイ10_jも同様の構成となっている。メモリセルアレイ10_iには、ワード線WL₁～WL_iに直交して複数の第2の信号線のビット線対BL₁_i、BL₁_j～BL₁_j、BL₁_jが設けられ、各ワード線WL₁～WL_iとビット線対BL₁_i、BL₁_j～BL₁_j、BL₁_jの交点には、メモリセル11がそれぞれ接続されている。各ビット線BL₁_i～BL₁_j、或いはBL₁_j～BL₁_jとセルプレート1との間には、キャパシタ11aとストレージノード11bとNMOS11cとが、直列接続されている。各キャパシタ11aとストレージノード11bとNMOS11cの構造は、図2に示したようになっており、各NMOS11cのゲートが、ワード線WL_iにそれぞれ接続されている。

【0011】図4は、図1における動作電圧を示す波形図である。この図4を参照しつつ、図1の半導体記憶装置の動作を説明する。例として、ワード線WL_iに接続されたメモリセル11の1つに“1”の情報を書込む動作を説明する。ここでは、ワード線WL_iにリーク電流がない場合を想定している。アドレスによって選択されて選択信号B_iのレベルが、電位VSSから電位VCCに変化し、該選択信号B_iによって昇圧電源発生回路30_iが活性化する。昇圧電源発生回路30_i中の昇圧回路32は、昇圧ノードPW_iに電荷を供給するので、その昇圧ノードPW_iのレベルが上昇する。ここで、昇圧回路32は、パルス信号発生回路31からの信号S31の遷移を受けて昇圧した電位VCC+V_{tn}+α（以下、この電位をVPWという）を出力する。そのため、昇圧ノードPW_iのレベルは電位VPWに遷移する。

【0012】続いて、Xデコーダの出力ノードXD_iが選択されて、例えば電位VPWからVSSに遷移すると、ワード線駆動回路20_i中のNMOS21がオフし、PMOS22がオンする。これにより、ワード線WL_iが選択され、該ワード線WL_iのレベルは電位VSSから電位VPWに遷移する。ワード線WL_iに接続されたメモリセル中の各NMOS11cが、それぞれオンする。この時点では各ストレージノード11bのレベルは、初めに保持している情報に応じて、電位VSS或いは電位VCCをとるので、該ストレージノード11bと、レベルが電位VCC/2のビット線BL₁_i～BL₁_j、或いはビット線BL₁_j～BL₁_jとの間で電荷の移動が行なわれる。そのため、各ビット線対BL₁_i、BL₁_j～BL₁_j、BL₁_jに微小電位差ΔVが発生する。電位差ΔVは図示しないセンスラッチ回路によって増幅され、ビット線BL₁_i～BL₁_jは電位VSS或いは電位VCCに遷

移する。その後、ビット線 $BL_1 \sim BL_n$ のうち、選択されたビット線の例えば BL_1 が、データバスから電荷を受取って、“1”の情報を示す電位 V_{CC} に遷移する。よって、選択されたメモリセル11中のストレージノード11bには電荷が流入し、“1”の情報が書込まれる。読出しの場合、書込みの場合と同様にワード線 WL_1 が選択される。このワード線 WL_1 に接続されたメモリセル11において、ビット線対 BL_1, BL_1, \dots, BL_n 間の微小電位差 ΔV が増幅される。そして、ビット線 $BL_1 \sim BL_n$ のうちの選択された例えばビット線 BL_1 の電位が V_{CC} に遷移し、“1”のデータが読出される。

【0013】図5は、図1のリーク電流補償の動作を示す波形図である。ワード線 WL_1 にリーク電流が発生した場合、該ワード線 WL_1 とそれに接続された昇圧ノード PW_1 の電位は、時間の経過と共に低下する。ワード線 WL_1 に対応する昇圧電源発生回路30は、周期的にその電位低下を補償する。即ち、パルス信号発生回路31が、一定時間毎に電位 V_{SS} と電位 V_{CC} 間を遷移する信号 S_{31} を昇圧回路32に供給する。昇圧回路32が、信号 S_{31} の遷移を受けて、昇圧ノード PW_1 を V_{PW} に昇圧する。これにより、ワード線 WL_1 とそれに接続された昇圧ノード PW_1 の電位は、周期的に V_{PW} となり、図5のように、選択されたストレージノード11bには、電位 V_{CC} の“1”の情報が書込まれる。

【0014】図6は、図1におけるリーク電流検出動作を説明する波形図である。本実施例の半導体記憶装置では、測定用パッド42を有しているため、昇圧電源発生回路30で補償できないリーク電流が発生した場合に、それを検出して例えば不良箇所をスペアセル等に置換することができる。例えば、選択されたワード線 WL_1 にリーク電流が発生していることを検出するために、アドレスによって指定された選択信号 C_1 のレベルが、電位 V_{PW} から電位 V_{SS} に遷移する。これにより、選択されたPMOS41がオンし、昇圧ノード PW_1 が測定用パッド42に接続される。測定用パッド42に特性評価装置の測定針を当てられる。選択信号 B_1 及び出力ノード XD_1 によって、ワード線 WL_1 が選択され、該ワード線 WL_1 の電位が立ち上がった後、昇圧ノード PW_1 （即ち、選択されたワード線 WL_1 ）の電圧レベル及び電流値が、その特性評価装置で測定される。メモリセルアレイ10中の他のワード線 WL_2, WL_3, \dots, WL_n におけるリーク電流の検出は、出力ノード XD_1 の選択を XD_2, XD_3, \dots, XD_n に切替えて行われる。メモリセルアレイ10以外のメモリセルアレイ10におけるワード線 WL のリーク電流の検出も、信号 B_1, C_1 の選択を順次切替えることにより、同様に行われる。

【0015】以上のように、本実施例によれば、半導体記憶装置にスイッチ手段である複数のPMOS41

と、測定用パッド42とを設け、選択信号 C_1 に基づき各昇圧ノード PW_1 を測定用パッド42にそれぞれ接続する構成にしている。また、Xデコーダの各出力ノード XD_n の電位レベルにより、ワード線 WL_1 と測定用パッド42が接続される構成になっている。そのため、特性評価装置を用いて容易に、各ワード線 WL_1 の電位及び電流をそれぞれ測定することができ、該ワード線 WL_1 のうちリーク電流で電位 V_{PW} を保持できないものを検出することができる。さらに、各検出結果を比較することで、不良の原因となる部分の特定をすることも可能である。例えば、昇圧電源発生回路30中の昇圧回路32でリーク電流が発生している場合、メモリセルアレイ10中のワード線 $WL_1 \sim WL_n$ の検出結果と他の各メモリセルアレイ10 $_1 \sim 10_n$ の対応する検出結果とを比較すると、ワード線 $WL_1 \sim WL_n$ の検出結果における電圧降下または電流値が、他より大きくなる。また、ワード線 WL_1 にリーク電流が発生している場合、同じ昇圧電源発生回路30で昇圧されるワード線 $WL_1 \sim WL_n$ の検出結果同士を比較すれば、ワード線 WL_1 の電圧降下または電流値が他より大きくなり、ワード線 WL_1 の不良が検出される。従って、初期段階でワード線及び昇圧電源発生回路における不良選別が可能となり、該不良部分を冗長回路あるいはスペアセルに置換えることができる。

【0016】第2の実施例

図7は、本発明の第2の実施例を示す半導体記憶装置の概略の構成図であり、図1との共通要素には共通の符号が付されている。この半導体記憶装置は、第1の実施例と同様の構成の複数のメモリセルアレイ10 $_1 \sim 10_n$ と、複数のワード線駆動回路20 $_1 \sim 20_n$ と、複数のスイッチ手段であるPMOS41 $_1 \sim 41_n$ と、測定用パッド42とを備え、それらが第1の実施例と同様に接続されている。さらに、この半導体記憶装置には第1の実施例における複数の昇圧電源発生回路30 $_1 \sim 30_n$ の代わりに、第2の電位である電位 V_{PW} を供給する電位供給手段である昇圧電源発生回路50と、電位 V_{CC} を第2の電位 V_{PW} に昇圧する複数の昇圧手段である昇圧回路60 $_1 \sim 60_n$ とが、設けられている。各昇圧回路60は昇圧電源発生回路50の昇圧ノード PV に共通接続され、該各昇圧回路60の昇圧ノード $PW_1 \sim PW_n$ が、ワード線駆動回路20を介してワード線 WL に接続される構成になっている。各昇圧回路60はメモリセルアレイ10にそれぞれ対応しており、それら昇圧回路60に選択信号 B_1 がそれぞれ入力される構成になっている。各昇圧ノード PW_1 にワード線駆動回路20が共通に接続されている。昇圧電源発生回路50は、電源電位 V_{CC} と接地電位 V_{SS} とを周期的に振幅する信号 S_{51} を発生するパルス信号発生回路(OSC)51と、昇圧回路(CPA)52とを備えている。

【0017】図8は、図7の動作電圧を示す波形図であり、この図8を参照しつつ、図7の半導体記憶装置の動作を説明する。ここでは、ワード線WL₁が選択されて該ワード線WL₁のレベルが電位VSSから電位VPWに遷移するまでを説明する。まず、昇圧回路52はパルス信号発生回路51からパルスを受けて、周期的に昇圧ノードPVへ電荷を供給する。その後、選択信号B₁が電位VSSから電位VCCに遷移すると、昇圧回路60の昇圧ノードPW₁のレベルは、電位VCCから電位VPWに昇圧する。これと同時に、昇圧ノードPVと昇圧ノードPW₁が導通し、昇圧ノードPW₁に対して周期的に電荷が供給される。即ち、昇圧ノードPW₁のレベルは、図8のように電位VPWに補償される。続いて、出力ノードXD₁が選択されて、該出力ノードXD₁のレベルが電位VPWから電位VSSに遷移する。ワード線駆動回路20中のNMOS22がオフし、PMOS21がオンする。ワード線WL₁のレベルは、電位VSSから電位VPWに遷移する。以降のデータ書き込み動作及び読出し動作は、第1の実施例と同様である。

【0018】図9は、図7におけるリーク電流検出動作を説明する波形図である。例えば、選択されたワード線WL₁にリーク電流が発生していることを検出するために、第1の実施例と同様、選択信号C₁のレベルを電位VPWから電位VSSに遷移させる。これにより、PMOS41がオンし、昇圧ノードPW₁が選択されて測定用パッド42に接続される。出力ノードXD₁のレベルを電位VSSにすることで、ワード線WL₁が昇圧ノードPW₁に接続され、ワード線WL₁が測定用パッド42に接続される。測定用パッド42に特性評価装置の測定針を当てられ、ワード線WL₁の電位が立ち上がった後の昇圧ノードPW₁の電圧レベル及び電流値が、その特性評価装置で測定される。メモリセルアレイ10中の他のワード線WL₂、WL₃、…、WL_iにおけるリーク電流の検出は、出力ノードXD₁の選択をXD₂、XD₃、…、XD_iに切替えて行われる。メモリセルアレイ10以外のメモリセルアレイ10におけるワード線WLにおけるリーク電流検出も、信号B₁、C₁の選択を順次切替えることにより、同様に行われる。以上のように、この第2の実施例では、半導体記憶装置に複数のスイッチ手段であるPMOS41と、測定用パッド42を設け、各昇圧ノードPW_iを選択信号C_iに基づき該測定用パッド42にそれぞれ接続する構成にしている。そのため、第1の実施例と同様に、各ワード線WL_iの電位及び電流を容易にそれぞれ測定することができる。よって、ワード線WL_iのうち電位VPWを保持できないものを検出することができ、不良部分を冗長回路あるいはスペアセルに置換えることができる。さらに、本実施例では、1つの昇圧電源発生回路50で各昇圧回路60の動作を補償する構成にしているため、半導体記憶装置のレイアウト面積を小さく

できる。

【0019】第3の実施例

図10は、本発明の第3の実施例を示す半導体記憶装置の概略の構成図であり、図1及び図7との共通要素には共通の符号が付されている。この半導体記憶装置は、第2の実施例と同様の構成の複数のメモリセルアレイ10₁～10_nと、複数のワード線駆動回路20₁～20_nと、複数のPMOS41₁～41_nと、1つの測定用パッド42と、複数の昇圧回路60₁～60_nとを備え、それらが第2の実施例と同様に接続されている。本実施例の記憶装置では、昇圧電源発生回路50の代わりに、昇圧電源発生回路70を設けている。昇圧電源発生回路70は、制御信号SC1に基づいて動作が制御されて電位VCCとなるパルス信号S71を発生するパルス信号発生回路(OSC)71と、パルス信号S71を昇圧する昇圧回路(CPA)72とを備えている。昇圧電源発生回路70は昇圧ノードPVを介して各昇圧回路60_iに接続されている。制御信号SC1は、図示しないセンサ回路によって生成される信号であり、例えばワード線WL₁における電位VPWが低下したときに制御信号SC1のレベルは電位VCCから電位VSSに遷移する構成となっている。図10の半導体記憶装置において、選択されたワード線WL₁のレベルが、電位VSSから電位VPWに遷移する間での動作、及びそれ以降の書き込み動作は第2の実施例と同様である。

【0020】図11は、図10におけるリーク電流検出動作を説明する波形図である。この半導体記憶装置でリーク電流の検出する方法には、第1及び第2の方法の2通りがある。第1の方法は、パルス信号発生回路71を動作させた状態で、各ワード線WL_iのリーク電流を検出する方法であり、第2の方法はパルス信号発生回路71の動作を止めた状態で、各ワード線WL_iのリーク電流を検出する方法である。第1の方法は第2の実施例と同様の動作でリーク電流が検出される。第2の方法では、例えば、ワード線WL₁のリーク電流を検出するために、まず、制御信号SC1のレベルを例えば、センサ回路の動作を外部からの制御信号により止めることで電位VSSから電位VCCに遷移させる。制御信号SC1のレベルの遷移によって、パルス信号発生回路71は停止する。例えば、信号S71のレベルは電位VCCに維持される。選択されたワード線WL₁のレベルが電位VPWが立ち上がった後、選択信号C₁のレベルを電位VPWから電位VSSに遷移させ、PMOS41₁をオンする。これにより、昇圧ノードPW₁が測定用パッド42に接続される。出力ノードXD₁のレベルを電位VSSにすることで、ワード線WL₁が昇圧ノードPW₁に接続され、ワード線WL₁が測定用パッド42に接続される。測定用パッド42に特性評価装置の測定針が当てられ、ワード線WL₁の電位が立ち上がった後の昇圧ノードPW₁の電圧レベル及び電流値が、その特性評価装置

11

で測定される。メモリセルアレイ10、中の他のワード線WL₂、WL₃、…、WL_iにおけるリーク電流の検出は、出力ノードXD₁の選択をXD₂、XD₃、…、XD_iに切替えて行われる。メモリセルアレイ10、以外のメモリセルアレイ10、におけるワード線WL_iにおけるリーク電流の検出も、信号B₁、C₁の選択を順次切替えることにより、同様に行われる。

【0021】以上のように、この第3の実施例では、半導体記憶装置にスイッチ手段である複数のPMOS41と、測定用パッド42とを設け、各昇圧ノードPW_iを選択信号C_iに基づき該測定用パッド42にそれぞれ接続する構成にしている。そのため、第1の実施例と同様に、各ワード線WL_iの電位及び電流を容易にそれぞれ測定することができる。ワード線WL_iのうちリーク電流で電位VPWを保持できないものを検出することができ、不良部分を冗長回路あるいはスペアセルに置換えることができる。さらに、本実施例では、昇圧電源発生回路70中のパルス信号発生回路71を制御信号SC1で動作制御できる構成にしているため、リーク電流を検出するときに、検出対象のワード線WL_iに対する電荷供給をなくすことができる。そのため、昇圧回路72におけるリーク電流がなくなり、ワード線WL_iのリーク電流の検出が、第2の実施例よりも容易になる。また、リーク電流の検出以外の時でも、昇圧回路72の動作を停止できるので、例えば、ワード線WL_iが電位VPWを保持しているとき、及びスタンバイ時に昇圧回路72を停止して消費電流を少なくすることができる。

【0022】第4の実施例

図12は、本発明の第4の実施例を示す半導体記憶装置の概略の構成図であり、図1、図7及び図10との共通要素には共通の符号が付されている。本実施例の半導体記憶装置は、第1～第3の実施例で採用した測定パッドを用いず、半導体記憶装置の有するデータ出力パッドで、ワード線WL_iのリーク電流を測定するものである。この半導体記憶装置は、第1の実施例と同様の複数のメモリセルアレイ10₁～10_nと、複数のワード線駆動回路20₁～20_nと、電位供給手段である複数の昇圧電源発生回路30₁～30_nと、第1のスイッチ手段である複数のPMOS41₁～41_nとを備え、それらが第1の実施例と同様に接続されている。各PMOS41_iのドレインが、ノードPADVで第2のスイッチ手段であるスイッチ80に共通接続され、スイッチ80の出力側が電位可変手段であるNMOS81のゲートに接続されている。NMOS81のドレインは電源電位VCCに接続され、該NMOS81のソースが、データ出力端子であるデータ出力パッド90に接続されている。スイッチ80は外部からの制御信号SC2に基づいて制御され、リーク電流の検出時にオンとなって各PMOS41_iのドレインの電位を出力する機能を有している。制御信号SC2は、例えば、あるアドレスピンにスーパ

12

ーボルテージを印加することで、発生する構成となっている。この半導体記憶装置における書き込み動作及び書き込み動作は、第1の実施例と同様に行われる。

【0023】図13は、図12におけるリーク電流検出動作を説明する波形図である。例えば、ワード線WL_iのリーク電流を検出する場合、まず、図示しない半導体記憶装置のアドレスピンにスーパーボルテージを与え、制御信号SC2のレベルを電位VSSから電位VCCに遷移させる。制御信号SC2のレベル遷移によってスイッチ80がオンし、各PMOS41_iのドレインとNMOS81のゲートが接続される。次に、アドレスによって選択信号C_iのレベルを電位VPWから電位VSSに遷移させ、PMOS41_iをオンさせる。これにより、昇圧ノードPW_iが、NMOS81のゲートに接続される。選択信号B_iのレベルを電位VCCにして出力ノードXD_iのレベルを電位VCCから電位VSSに遷移させる。これにより、ワード線WL_iがNMOS81のゲートに接続される。この状態でデータ出力パッド90に、特性評価装置測定針を当てて、データ出力パッド90の電圧レベル及び電流値を測定する。また、半導体記憶装置がモールド組立品の場合には、データ出力パッド90がボンディングによって接続されているパッケージの出力端子に、特性評価装置測定針を当てて測定する。この測定によって測定される電圧は、リーク電流が無い場合に電圧VCCであり、リーク電流が発生している場合はNMOS81の導通状態が変化して電圧VCCよりも低くなる。メモリセルアレイ10、中の他のワード線WL₂、WL₃、…、WL_iにおけるリーク電流の検出は、出力ノードXD₁の選択をXD₂、XD₃、…、XD_iに切替えて行われる。メモリセルアレイ10、以外のメモリセルアレイ10、におけるワード線WL_iにおけるリーク電流の検出も、信号B₁、C₁の選択を順次切替えることにより、同様に行われる。

【0024】以上のように、この第4の実施例では、各ワード線WL_iのリーク電流を測定するためのパッドをデータ出力パッド90で構成しているため、第1の実施例と同様の効果が得られると共に、モールド組立品に対してのリーク電流の検出を行える。そのため、組立て後の不良選別も可能となっている。なお、本発明は、上記実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(1) 第1～第3の実施例におけるリーク電流の測定は、1本のワード線WL_iを選択して行っているが、多ビット品で複数のワード線WL_iを同時に選択する機能を有する半導体記憶装置にも、本発明の適用が可能である。つまり、選択信号C_iを切替えることで、メモリセルアレイ10、の切替えを行うことができるので、異なるメモリセルアレイ10、中のワード線WL_iのリーク電流を検出することができる。

(2) 第1～第3の実施例の測定用パッド42は探針

可能であればよく、パッドの構造に形成されていなくてもよい。

(3) 昇圧ノードPW_iと各昇圧回路の構成は、第1～第4の実施例に限定されるものではない。例えば、1つの昇圧ノード30_mに複数のメモリセルアレイが接続される構成としてもよい。

(4) ワード線駆動回路20_iの構成において、PMOS 21でワード線WL_iと昇圧ノードPW_iを接続しているが、NMOSでワード線WL_iと昇圧ノードPW_iをそれぞれ接続する構成としてもよい。

(5) 各選択信号B_i、C_iは、同一の信号としても、第1～第4の実施例と同様の効果が得られる。

(6) 第4の実施例では、複数の昇圧電源発生回路30_iを用いているが、第2及び第3の実施例のように1つの昇圧電源発生回路を用いても、同様の効果が得られる。

(7) 多ビット品で複数のワード線WL_iが同時に選択されて複数のデータが出力される半導体記憶装置には、第4の実施例におけるスイッチ80及びNMOS 81等を複数設けて、複数のデータ出力パッドでリーク電流を測定する構成としてもよい。

【0025】

【発明の効果】以上詳細に説明したように、本発明によれば、半導体記憶装置の複数のメモリアレイ中の第1の信号線に対して、第1の電位よりも高い第2の電位を各ノードを介してそれぞれ供給する電位供給手段或いは昇圧手段を備え、さらに、該ノードを選択する複数のスイッチ手段とそれに接続される端子を設けるか、或いは第1及び第2のスイッチ手段を電位可変手段とそれに接続される端子を設けている。そのため、電位供給手段或いは昇圧手段によって第2の電位とされた第1の信号線の電位低下が、それらの端子で検出することができる。即ち、リーク電流を検出することができる。したがって、初期段階で不良箇所の抽出が可能となり、それらを冗長回路等に置き換えることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す半導体記憶装置の概略の構成図である。

【図2】メモリセルを示す断面図である。

【図3】図1中のメモリセルアレイを示す回路図である。

【図4】図1における動作電圧を示す波形図である。

【図5】図1のリーク電流補償の動作を示す波形図である。

【図6】図1におけるリーク電流検出動作を説明する波形図である。

【図7】本発明の第2の実施例を示す半導体記憶装置の概略の構成図である。

10 【図8】図7における動作電圧を示す波形図である。

【図9】図7におけるリーク電流検出動作を説明する波形図である。

【図10】本発明の第3の実施例を示す半導体記憶装置の概略の構成図である。

【図11】図10におけるリーク電流検出動作を説明する波形図である。

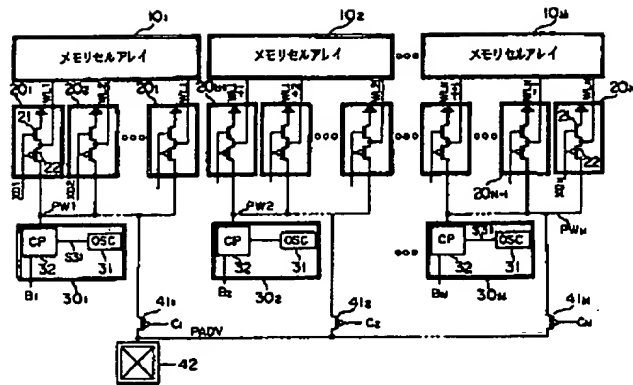
【図12】本発明の第4の実施例を示す半導体記憶装置の概略の構成図である。

20 【図13】図12におけるリーク電流検出動作を説明する波形図である。

【符号の説明】

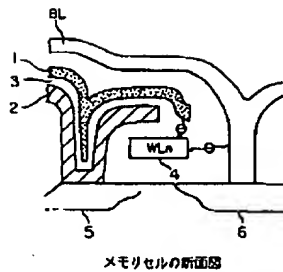
10 _i 、～10 _m	メモリセルアレイ
20 _i 、～20 _n	ワード線駆動回路
30 _i 、～30 _v 、50、70	昇圧電源発生回路
31、51、71	パルス信号発生回路
30 _i 、52、72、30 _i 、～30 _v	昇圧回路
41 _i 、～41 _v	PMOS
42	測定用パッド
80	スイッチ
81	NMOS
90	データ出力パッド
ド	
WL _i 、～WL _v	ワード線
PW _i 、～PW _v 、PV	昇圧ノード

【図1】



本発明の第1の実施例の半導体装置図

【図2】



【図3】

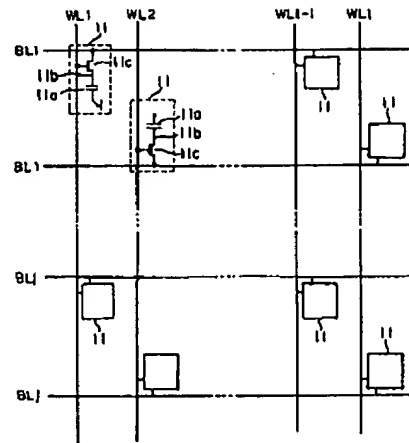


図1中のメモリセルアレイ

【図4】

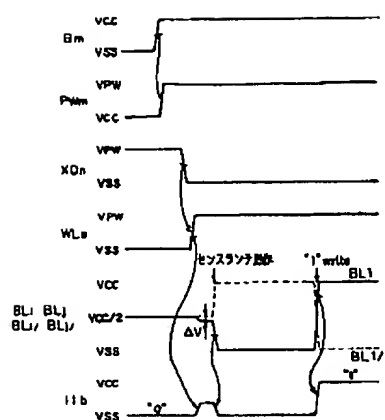


図1の動作電圧

【図5】

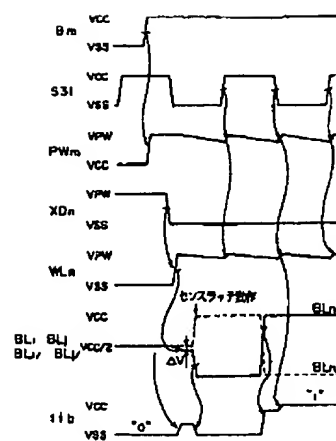


図1のリーク検出動作

【図6】

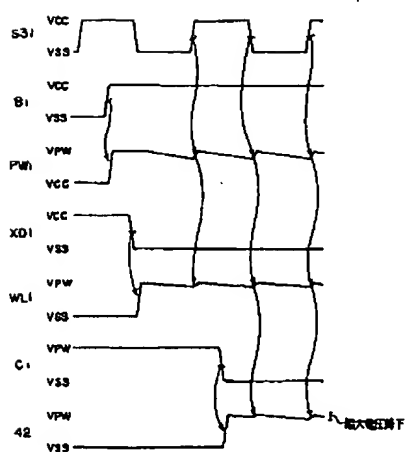


図1のリーク電圧検出動作

【図8】

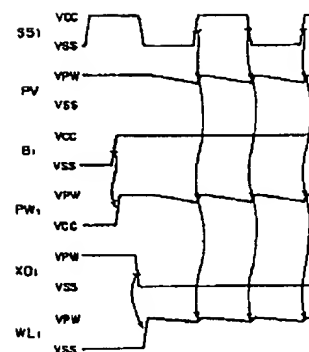
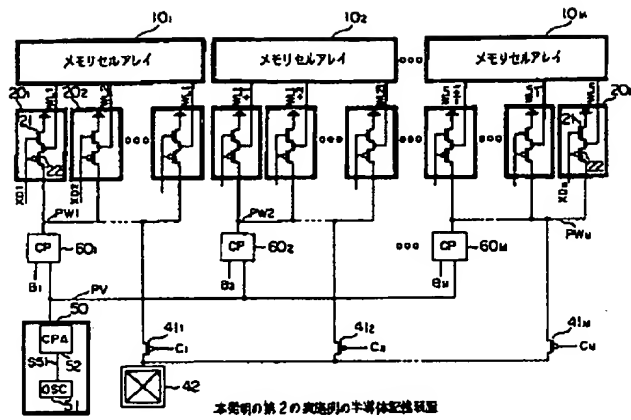


図7の動作電圧

【図7】



【図9】

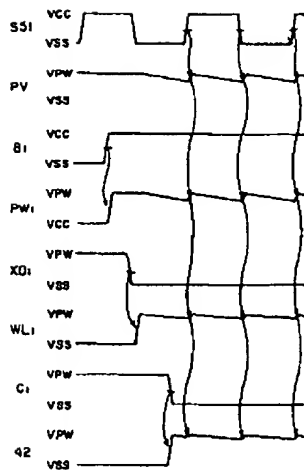


図7のリーク電流検出動作

【図11】

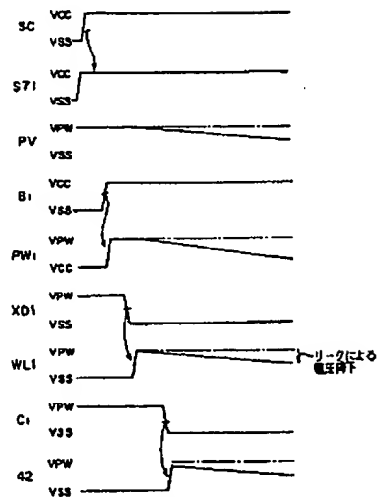


図10のリーク電流検出動作

【図13】

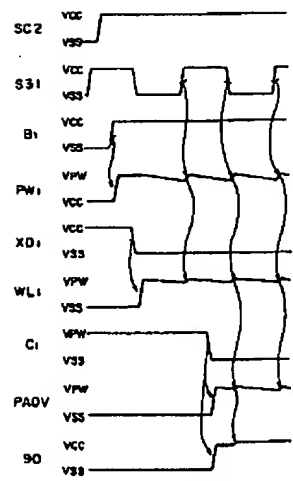


図12のリーク電流検出動作